

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024108

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G02F 1/136

G02F 1/1335

(21)Application number : 10-108213

(71)Applicant : HYUNDAI ELECTRON IND CO LTD

(22)Date of filing : 17.04.1998

(72)Inventor : SAI YUKO

(30)Priority

Priority number : 97 9714495

Priority date : 18.04.1997

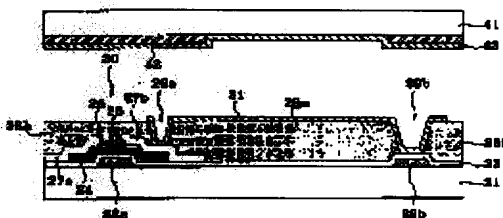
Priority country : KR

(54) THIN FILM TRANSISTOR TYPE LIQUID CRYSTAL DISPLAY ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify a manufacturing process by protecting a thin film transistor with a resin layer for a color filter on the thin film transistor and making the resin layer for a color filter of a pixel electrode forming part as an ordinary color filter layer.

**SOLUTION:** A reverse-stagger type thin film transistor 30 is arranged on an upper part of a lower substrate 21; a storage electrode 22b is arranged on the same plane as a gate 22a of a thin transistor; and color filter layers 28a, 28b are arranged on a whole surface of a lower substrate 21. The color filter layer 28b protects the thin film transistor 30 from pollutants. The color filters 28a, 28b have contact holes 29a, 29b, which expose a drain 27b and an upper insulating layer 23 of the upper part of the storage electrode 22b. A pixel electrode 31 is arranged on the upper part of the color filter layer 28a; the pixel electrode on the bottom of the contact hole 29b and the storage electrode 22b, and the insulating layer 23 form a capacitor; a black matrix 42 is arranged on a part corresponding to the thin film transistor 30 on an upper electrode 41 and the capacitor.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-24108

(43)公開日 平成11年(1999) 1月29日

(51)Int.Cl.<sup>6</sup>  
G 0 2 F 1/136 5 0 0  
1/1335 5 0 5

F I  
G 0 2 F 1/136 5 0 0  
1/1335 5 0 5

審査請求 未請求 請求項の数14 O L (全 6 頁)

(21)出願番号 特願平10-108213  
(22)出願日 平成10年(1998) 4月17日  
(31)優先権主張番号 1 9 9 7 / P 1 4 4 9 5  
(32)優先日 1997年 4月18日  
(33)優先権主張国 韓国 (K R)

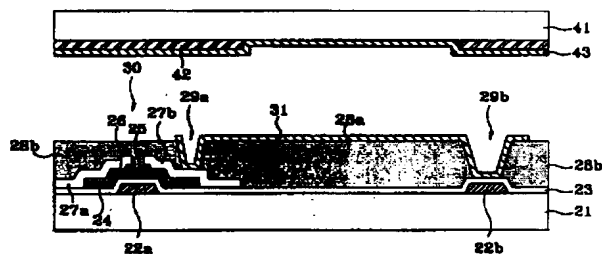
(71)出願人 591024111  
現代電子産業株式会社  
大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1  
(72)発明者 崔 佑 鎭  
大韓民国ソウル銅雀區舍堂 1 洞449番地30  
号302号  
(74)代理人 弁理士 瀬谷 徹 (外 1 名)

(54)【発明の名称】 薄膜トランジスタ型液晶表示素子とその製造方法

(57)【要約】

【課題】 製造工数を減少させることにより、製造コストを削減することができる液晶表示素子を提供する。

【解決手段】 第1基板と、前記第1基板に対向する第2基板と、前記第1基板の対向面の一部分に形成されたスイッチング素子と、前記スイッチング素子の形成された前記第1基板の対向面全面に形成されたカラーフィルタ層と、前記第1基板の対向面他部分上に位置する前記カラーフィルタ層上部に形成され前記スイッチング素子と電気的に連結される第1電極と、前記第2基板の対向面のうち前記スイッチング素子に該当する部分に形成されたブラックマトリクスと、前記ブラックマトリクスの形成された前記第2基板の対向面全面に形成された第2電極とを備える構成とする。



## 【特許請求の範囲】

【請求項 1】 第 1 基板と、

前記第 1 基板に対向する第 2 基板と、

前記第 1 基板の対向面の一部分に形成されたスイッチング素子と、

前記スイッチング素子の形成された前記第 1 基板の対向面全面に形成されたカラーフィルタ層と、

前記第 1 基板の対向面の他部分上に位置する前記カラーフィルタ層上部に形成され前記スイッチング素子と電気的に連結される第 1 電極と、

前記第 2 基板の対向面のうち前記スイッチング素子に該当する部分に形成されたブラックマトリクスと、

前記ブラックマトリクスの形成された前記第 2 基板の対向面全面に形成された第 2 電極とを備えることを特徴とする薄膜トランジスタ型液晶表示素子。

【請求項 2】 前記第 1 電極は画素電極、前記第 2 電極は共通電極であり、前記第 1 基板は下部基板、前記第 2 基板は上部基板であることを特徴とする請求項 1 記載の薄膜トランジスタ型液晶表示素子。

【請求項 3】 前記カラーフィルタ層のうち前記スイッチング素子上部に形成された部分は前記スイッチング素子の保護層であることを特徴とする請求項 1 記載の薄膜トランジスタ型液晶表示素子。

【請求項 4】 前記スイッチング素子はエッチストップパを有する逆スタガー型薄膜トランジスタであることを特徴とする請求項 1 記載の薄膜トランジスタ型液晶表示素子。

【請求項 5】 前記カラーフィルタ層のうち前記スイッチング素子上部に形成された部分は前記スイッチング素子の保護層であることを特徴とする請求項 2 記載の薄膜トランジスタ型液晶表示素子。

【請求項 6】 前記スイッチング素子はエッチストップパを有する逆スタガー型薄膜トランジスタであることを特徴とする請求項 2 記載の薄膜トランジスタ型液晶表示素子。

【請求項 7】 前記カラーフィルタ層は約 1 乃至 3  $\mu\text{m}$  の厚さを有することを特徴とする請求項 1 記載の薄膜トランジスタ型液晶表示素子。

【請求項 8】 第 1 基板及び第 2 基板を準備する工程と、  
前記第 1 基板の対向面の一部分にスイッチング素子を形成する工程と、  
前記スイッチング素子を備えた前記第 1 基板の対向面全面にカラーフィルタ層を形成する工程と、  
前記カラーフィルタ層の所定部分にコンタクトホールを形成し前記スイッチング素子の一部分を露出させる工程と、  
前記コンタクトホールを含んで前記カラーフィルタ層上部の所定部分に第 1 電極を形成し、前記スイッチング素子と前記第 1 電極とを電気的に連結する工程と、

10

前記第 2 基板の対向面のうち前記スイッチング素子に該当する部分にブラックマトリクスを形成する工程と、  
前記ブラックマトリクスの備わった前記第 2 基板の対向面全面に第 2 電極を形成する工程とを備えることを特徴とする薄膜トランジスタ型液晶表示素子の製造方法。

【請求項 9】 前記第 1 電極は画素電極、前記第 2 電極は共通電極であり、前記第 1 基板は下部基板、前記第 2 基板は上部基板であることを特徴とする請求項 8 記載の薄膜トランジスタ型液晶表示素子の製造方法。

10

【請求項 10】 前記カラーフィルタ層のうち前記スイッチング素子上部に形成された部分は前記スイッチング素子の保護層であることを特徴とする請求項 8 記載の薄膜トランジスタ型液晶表示素子の製造方法。

【請求項 11】 前記スイッチング素子はエッチストップパを有する逆スタガー型薄膜トランジスタであることを特徴とする請求項 8 記載の薄膜トランジスタ型液晶表示素子の製造方法。

20

【請求項 12】 前記カラーフィルタ層のうち前記スイッチング素子上部に形成された部分は前記スイッチング素子の保護層であることを特徴とする請求項 9 記載の薄膜トランジスタ型液晶表示素子の製造方法。

【請求項 13】 前記スイッチング素子はエッチストップパを有する逆スタガー型薄膜トランジスタであることを特徴とする請求項 9 記載の薄膜トランジスタ型液晶表示素子の製造方法。

【請求項 14】 前記カラーフィルタ層は約 1 乃至 3  $\mu\text{m}$  の厚さを有することを特徴とする請求項 8 記載の薄膜トランジスタ型液晶表示素子の製造方法。

【発明の詳細な説明】

30

【0001】

【発明の属する技術分野】本発明は液晶表示素子の技術に係り、特に色調が向上し、工程が単純な薄膜トランジスタ型液晶表示素子とその製造方法に関する。

【0002】

【従来の技術】一般に薄膜トランジスタ型液晶表示素子 (Thin Film Transistor Liquid Crystal Display) は、下部基板、下部基板上に形成されたスイッチング素子の薄膜トランジスタ、下部基板と対向する上部基板、上部基板上に形成された赤、緑及び青のカラーフィルタ層、及び二つの基板により限定されたキャビティに封入された液晶を備える。

40

【0003】図 9 は従来の一般的な薄膜トランジスタ型液晶表示素子の横断面図を示す。下部基板 1 上部の一部分には、画素を駆動するスイッチング素子の逆スタガー型薄膜トランジスタ 15 が配置され、他部分には画素電極 8 が配置される。画素電極 8 は ITO で構成される。薄膜トランジスタ 15 の上部には、薄膜トランジスタを保護するためのパッシベーション層 9 が位置する。薄膜トランジスタ 15 は、ゲート 2a、ソース 7a 及びドレイン 7b を備える。ゲート 2a と同一平面に配置された

50

ストレージ電極 2 b と画素電極 8 との間には絶縁層 3 が介され、これら三要素はキャパシタ 17 を形成する。

【0004】上部基板 11 の所定部分には液晶表示素子のクロストークを防止するブラックマトリクス 12 が配置される。このブラックマトリクス 12 は、薄膜トランジスタ 15 とキャパシタ 17 に該当する部分に配置される。上部基板 11 の表面のうち、即ち、画素電極に該当する部分には、赤、緑及び青のカラーフィルタ層 13 が配列される。ブラックマトリクス 12 及びカラーフィルタ層 13 上部の全面には共通電極 14 が配列される。この共通電極 14 は ITO で構成される。一方、参照番号 4 は活性層、参照番号 5 はエッチストップ、参照番号 6 はオーミック抵抗接触層を示す。

【0005】このような薄膜トランジスタ型液晶表示素子を製造するためには、いずれかの一工程ラインで、下部基板 1 の一部分に薄膜トランジスタ 15 を形成し、薄膜トランジスタの形成工程のうち、ソース 7 a 及びドレイン 7 b を形成する以前に、下部基板 1 の他部分に画素電極 8 が形成される。次に薄膜トランジスタ 15 を保護するパッシベーション層 9 を形成する。一方、他の工程ラインでは、上部基板 11 のうち、薄膜トランジスタ 15 及びキャパシタ 17 に該当する部分のみにブラックマトリクス 12 を形成する。次に画素電極 8 に該当する部分にカラーフィルタ層 13 を形成する。これらのブラックマトリクス 12 とカラーフィルタ層 13 が形成された結果物全面に共通電極 14 を形成する。

【0006】

【発明が解決しようとする課題】上述した製造方法によれば、下部基板 1 に形成された薄膜トランジスタ 15 を保護するためのパッシベーション層 9 の形成工程がカラーフィルタ層 13 の形成工程と別に行われる。従って、液晶表示素子の製造工程が複雑である。

【0007】また、下部基板 1 に薄膜トランジスタ 15 及びパッシベーション層 9 を形成する工程ラインと、上部基板 11 にカラーフィルタ層 13 を形成する工程ラインとがそれぞれに要求される。ところが、一つのラインを加えるには設備投資コストが非常に高くなる。

【0008】本発明は以上のような問題点に基づいてなされたものであり、液晶表示素子の製造工程を単純化することにある。

【0009】

【課題を解決するための手段】本発明の液晶表示素子は、第 1 基板と、第 1 基板の対向面の一部分に形成されたスイッチング素子と、スイッチング素子の形成された第 1 基板の対向面全面に形成されたカラーフィルタ層と、第 1 基板の他部分上に位置するカラーフィルタ層上部に形成されスイッチング素子と電気的に連結される第 1 電極とを備える。一方、液晶表示素子は、第 1 基板に対向する第 2 基板と、第 2 基板の対向面のうち、スイッチング素子に該当する部分に形成されたブラックマトリ

クスと、ブラックマトリクスの備わった第 2 基板の対向面全面に形成された第 2 電極とを備える。ここで、カラーフィルタ層のうちスイッチング素子上部に形成された部分はスイッチング素子の保護層の役割をする。

【0010】また本発明の液晶表示素子の製造方法は、まず第 1 基板及び第 2 基板を準備する。前記第 1 基板の対向面の一部分にスイッチング素子を形成する。スイッチング素子の形成された第 1 基板の対向面全面にカラーフィルタ層を形成する。カラーフィルタ層を形成した後、カラーフィルタ層の所定部分にコンタクトホールを形成しスイッチング素子の一部分を露出させる。スイッチング素子と第 1 電極とを電気的に連結するため、コンタクトホールを含んでカラーフィルタ層上部の所定部分に第 1 電極を形成する。一方、第 2 基板の対向面のうち、スイッチング素子に該当する部分にブラックマトリクスを形成し、このブラックマトリクスの形成された第 2 基板の対向面全面に第 2 電極を形成する。ここで、カラーフィルタ層のうちスイッチング素子上部に形成された部分はスイッチング素子の保護層の役割をする。

【0011】具体的な例として、第 1 電極は画素電極、第 2 電極は共通電極であり、第 1 基板は下部基板、第 2 基板は上部基板である。また、スイッチング素子はエッチストップを有する逆スタガー型薄膜トランジスタである。カラーフィルタ層の厚さは約 1 乃至 3  $\mu\text{m}$  である。

【0012】スイッチング素子の保護層を形成するためのパッシベーション工程がカラーフィルタ形成工程と同時にされるので、従来の技術に比べ工数が減って液晶表示素子の製造工程が単純である。また、スイッチング素子とカラーフィルタ層が同一生産ラインで形成されるので、カラーフィルタ層を形成するための別の工程ラインが要求されない。従って、ライン設備投資コストを減らすことができる。

【0013】一方、カラーフィルタ層が下部基板に形成されバックライトから入射された光がカラーフィルタを通過した後に液晶層を通過するので、液晶表示素子の色調が向上する。

【0014】

【発明の実施の形態】以下、添付図面を参照して本発明の一実施の形態を詳細に説明する。

【0015】図 1 は本発明により製造された薄膜トランジスタ型液晶表示素子を示す。下部基板 21 上部の一部分には、スイッチング素子であるエッチストップを有する逆スタガー型薄膜トランジスタ 30 が配置される。薄膜トランジスタのゲート 22 a と同一平面には、ゲート 22 a から隔たったストレージ電極 22 b が配置される。

【0016】この薄膜トランジスタ 30 が形成された下部基板 21 全面には、カラーフィルタ層 28 a、28 b が配置される。薄膜トランジスタ 30 を覆うカラーフィルタ層 28 b は、図 9 のパッシベーション層 9 に対応す

るもので、外部の汚染源から薄膜トランジスタ 30 を保護する。カラーフィルタ層 28 a, 28 b はコンタクトホール 29 a, 29 b を備え、薄膜トランジスタ 30 のドレイン 27 b とストレージ電極 22 b 上部の絶縁層 23 を露出させる。

【0017】画素電極 31 がコンタクトホール 29 a, 29 b を含んでカラーフィルタ層 28 a の上部に配置される。画素電極 31 は ITO で構成される。コンタクトホール 29 b の底面に形成された画素電極、ストレージ電極 22 b 及び絶縁層 23 はキャパシタを形成する。

【0018】一方、参照番号 24 は薄膜トランジスタ 30 の活性層、参照番号 25 はエッチストップパ、参照番号 26 はオーミック抵抗接触層、参照番号 27 a はソースを示す。

【0019】上部基板 41 上部のうち薄膜トランジスタ 30、及びキャパシタの該当する部分にブラックマトリクス 42 が配置される。ブラックマトリクス 42 の備わった上部基板 41 の全面に共通電極 43 が配置され、この共通電極 43 は ITO で構成される。

【0020】図 2 乃至図 7 を参照して、下部基板に薄膜トランジスタ、カラーフィルタ層及び画素電極を形成する過程を説明する。

【0021】図 2 で、下部基板 21 を準備する。この下部基板 21 全面にスパッタを使用して、MoTa、MoW 及び Cr のいずれか一つの金属を約 2000 乃至 3000 Å に蒸着し、通常のフォトリソグラフィ方法で金属層をパターンニングし、ゲート 22 a とストレージ電極 22 b を形成する。

【0022】図 3 で、ゲート 22 a 及びストレージ電極 22 b の形成された下部基板 21 全面に、PECVD で約 3000 Å の絶縁層 23、約 5000 Å の非晶質珪素層 24 a 及び 2000 Å の窒化珪素層を連続的に形成する。次に、エッチストップパマスク（図示せず）を使用し窒化珪素層をパターンニングしてエッチストップパ 25 を形成する。

【0023】図 4 で、オーミック抵抗接触層を形成するため、エッチストップパを備えた下部基板 21 全面に、不純物が、例えば燐がドーパされた非晶質珪素層を蒸着する。薄膜トランジスタの領域を限定するため、不純物がドーパされた非晶質珪素層と非晶質珪素層 24 a をパターンニングし、オーミック抵抗接触層 26 と活性層 24 をそれぞれ形成する。次に、図示していないが、薄膜トランジスタを駆動させるための外部電源を供給するパッドを形成する。

【0024】次いで図 5 で、下部基板 21 全面に、ソース及びドレイン用金属を蒸着しパターンニングすることでソース 27 a 及びドレイン 27 b を形成し、薄膜トランジスタ 30 を完成する。

【0025】図 6 で、薄膜トランジスタ 30 の形成された下部基板 21 全面に赤色フィルタ用樹脂を塗布し、赤

色フィルタ用樹脂の所定部分をエッチングしてコンタクトホール 29 a, 29 b を形成する。第 1 コンタクトホール 29 a は薄膜トランジスタ 30 のドレイン 27 b を露出させ、第 2 コンタクトホール 29 b はストレージ電極 22 b 上部の絶縁層 23 を露出させる。赤色フィルタ用樹脂層のうち薄膜トランジスタ 30 上部に形成された層 28 b は、図 1 のパッシベーション層 9 に該当するものであって、薄膜トランジスタ 30 を保護する。

【0026】一方、薄膜トランジスタ 30 とストレージ電極 22 b との間に配置された赤色のカラーフィルタ用樹脂層 28 a は、通常の赤色フィルタ層の役割をする。赤色のカラーフィルタ用樹脂層 28 a, 28 b は約 1 乃至 3 μm の感光膜である。緑色フィルタ及び青色フィルタの形成に関する説明に、赤色フィルタの形成の説明が適用されることは当業者に自明である。

【0027】図 7 で、第 1 コンタクトホール 29 a 及び第 2 コンタクトホール 29 b を含んで赤色のカラーフィルタ用樹脂層 28 a の全面に画素電極 31 を形成する。この画素電極 31 は ITO で構成される。第 2 コンタクトホール 29 b に形成された画素電極 31、ストレージ電極 22 b 及び絶縁層 23 はキャパシタを形成する。

【0028】図 8 (a) 及び図 8 (b) は上部基板にブラックマトリクスと共通電極を形成する工程を示す。図 8 (a) で、上部基板 41 全面に約 2000 Å のクロムを蒸着しパターンニングし、上部基板のうち下部基板の薄膜トランジスタ及びキャパシタに該当する部分にブラックマトリクス 42 を形成する。図 8 (b) で、ブラックマトリクス 42 の備わった上部基板 41 全面に共通電極 43 を形成する。共通電極は ITO で構成される。

【0029】なお、本発明では、スイッチング素子としてエッチストップパを有する逆スタガー型薄膜トランジスタのみを開示したが、本発明はこれに限定されることなく、本発明はエッチバックを有する逆スタガー型薄膜トランジスタ、スタガー型薄膜トランジスタ、コプラナー型薄膜トランジスタまたは自己整列型薄膜トランジスタなどを使用する液晶表示素子にも用いられる。

【0030】

【発明の効果】以上説明したように本発明は、薄膜トランジスタ 30 の形成された下部基板 21 全面にカラーフィルタ用樹脂層が塗布され、薄膜トランジスタを覆うカラーフィルタ用樹脂層 28 b は、薄膜トランジスタ 30 の保護層の役割をし、画素電極 31 の形成される部分に配置されたカラーフィルタ用樹脂層 28 a は通常のカラーフィルタ層の役割をする。即ち、カラーフィルタ層の形成工程とパッシベーション工程が同時に行われる。従って、液晶表示素子の工数が減少して製造工程を単純化させることができる。

【0031】また、下部基板に薄膜トランジスタとカラーフィルタ層が形成されるので、カラーフィルタ層の形成のための別のラインが要求されなく、ライン設備投資

コストを低くすることができる。

【0032】一方、バックライトから入射された光がカラーフィルタ層を通過した後に液晶層を通過するので、色調が向上する。

【図面の簡単な説明】

【図1】本発明に基づいて製造された薄膜トランジスタ型液晶表示素子の横断面図である。

【図2】図1に示す液晶表示素子の下部基板の構造物の製造工程を示す横断面図である。

【図3】図2に示す液晶表示素子の上部基板の構造物の製造工程を示す横断面図である。

【図4】図2に示す液晶表示素子の上部基板の構造物の製造工程を示す横断面図である。

【図5】図2に示す液晶表示素子の上部基板の構造物の製造工程を示す横断面図である。

【図6】図2に示す液晶表示素子の上部基板の構造物の\*

\* 製造工程を示す横断面図である。

【図7】図2に示す液晶表示素子の上部基板の構造物の製造工程を示す横断面図である。

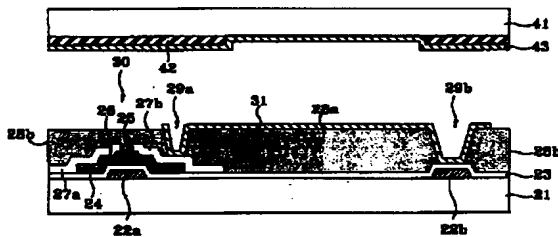
【図8】(a)及び(b)は、図2に示す液晶表示素子の上部基板の構造物の製造工程を示す横断面図である。

【図9】従来の技術により製造された薄膜トランジスタ型液晶表示素子の横断面図である。

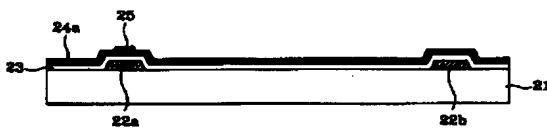
【符号の説明】

- 21 下部基板
- 28a, 28b カラーフィルタ層
- 30 薄膜トランジスタ
- 31 画素電極
- 41 上部基板
- 42 ブラックマトリクス
- 43 共通電極

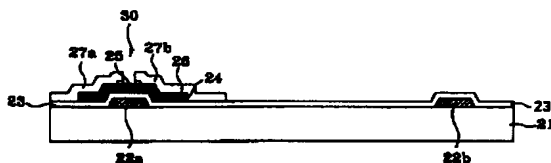
【図1】



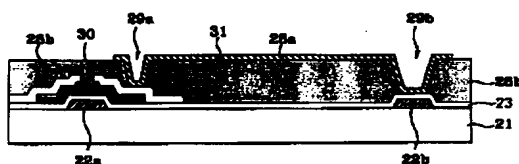
【図3】



【図5】



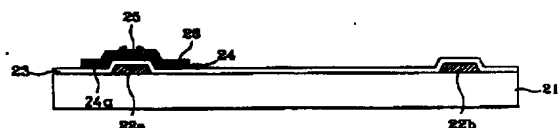
【図7】



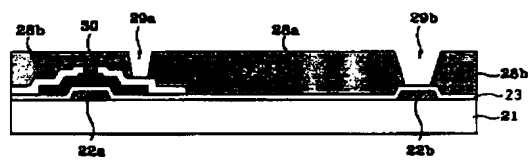
【図2】



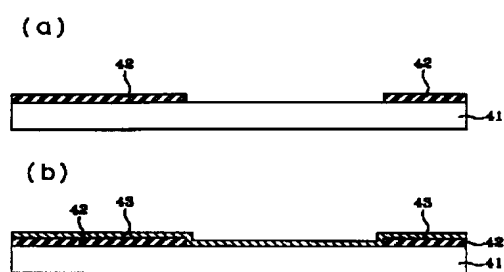
【図4】



【図6】



【図 8】



【図 9】

